

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 9 月 26 日 (26.09.2002)

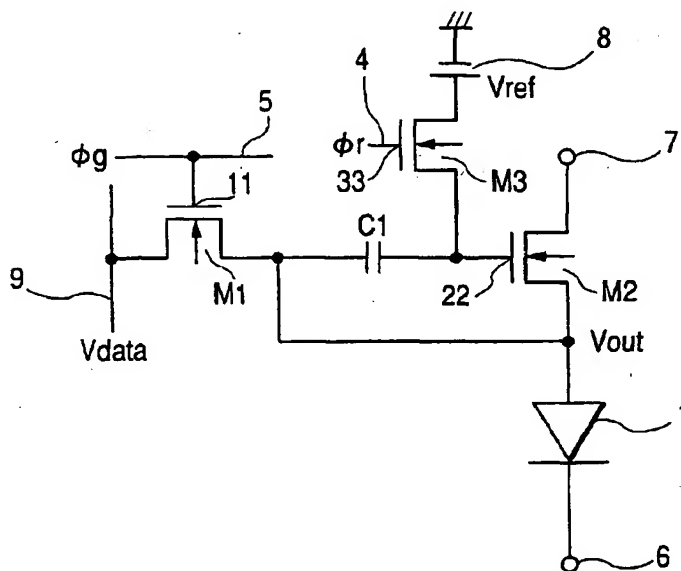
PCT

(10) 国際公開番号
WO 02/075709 A1

- (51) 国際特許分類⁷: G09G 3/30 (KONDO, Shigeki) [JP/JP]; 〒254-0065 神奈川県 平塚市 南原 2 丁目 4-7 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP02/02470
- (22) 国際出願日: 2002 年 3 月 15 日 (15.03.2002) (74) 代理人: 岡部 正夫, 外 (OKABE, Masao et al.); 〒100-0005 東京都千代田区丸の内 3 丁目 2 番 3 号富士ビル 602 号室 Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (81) 指定国 (国内): CN, JP, KR, US.
- (30) 優先権データ: 特願 2001-80505 2001 年 3 月 21 日 (21.03.2001) JP (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (71) 出願人 (米国を除く全ての指定国について): キヤノン株式会社 (CANON KABUSHIKI KAISHA) [JP/JP]; 〒146-8501 東京都大田区下丸子 3 丁目 30 番 2 号 Tokyo (JP). 添付公開書類:
— 国際調査報告書
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 近藤 茂樹
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: CIRCUIT FOR DRIVING ACTIVE-MATRIX LIGHT-EMITTING ELEMENT

(54) 発明の名称: アクティブマトリクス型発光素子の駆動回路



(57) Abstract: A circuit for driving a light-emitting panel including a plurality of thin-film transistors arranged for one pixel of a light-emitting element (1) having a matrix construction. The circuit has a transistor offset canceling circuit in which a memory capacitor (C1) is arranged on the input side of the light-emitting element (1), the offset voltage of a drive transistor (M2) is instantly stored in the memory capacitor (C1), and the drop of the offset voltage is compensated when an image signal (Vdata) is applied at the next timing. Therefore, the variation of the transistor characteristics can be canceled to reduce the luminance variation of the light-emitting element and to realize quick response of the light-emitting element.

[続葉有]



(57) 要約:

マトリクス構成を持つ発光素子(1)の1画素に対して、複数の薄膜トランジスタを配置した発光パネルの駆動回路であって、発光素子(1)の入力側にメモリ容量(C1)を配置し、前記メモリ容量(C1)に駆動トランジスタ(M2)のオフセット電圧を一瞬蓄積し、次のタイミングで印加される画像信号(Vdata)印加時に前記オフセット電圧の電圧降下分を補うようにした、トランジスタのオフセットキャンセル回路を有する発光パネルの駆動回路を提供する。これにより、トランジスタ特性のばらつきをキャンセルし、発光素子の輝度ばらつきを軽減でき、かつ発光素子の高速応答化が可能となる。

明 細 書

アクティブマトリクス型発光素子の駆動回路

5 技術分野

本発明は、画像表示装置に用いられる発光素子の駆動回路、詳しくは有機及び無機のエレクトロ・ルミネセンス（以下、「EL」という。）素子や発光ダイオード（以下、「LED」という。）等の自発光素子を駆動制御するアクティブマトリクス型発光素子の駆動回路、及びこれを用いたアクティブマトリクス型表示パネルに関する。

背景技術

有機及び無機EL素子、又はLED等のような発光素子をアレイ状に組み合わせ、ドットマトリクスにより文字表示を行うディスプレイは、テレビ、携帯端末等に広く利用されている。

特に、自発光素子を用いたこれらのディスプレイは、液晶を用いたディスプレイと異なり、照明のためのバックライトを必要とせず、視野角が広い等の特徴を有し、注目を集めている。中でも、トランジスタ等とこれらの発光素子とを組み合わせ、スタティック駆動を行う、アクティブマトリクス型と呼ばれるディスプレイは、時分割駆動を行う単純マトリクス駆動のディスプレイと比較して、高輝度、高コントラスト、高精細等の優位性を持っており、近年注目されている。

図8は、Society for Information Display 発行の1990年秋期大会予稿集『Eurodisplay '90』の第216～219頁の発表から引用したもので、従来におけるこの種のディスプレイの一例を示しており、発光素子にEL素子を使用したアクティブマトリクス型ディスプレイの発光素子駆動回路を示してい

る。

図示するように、この駆動回路では、トランジスタ 35 のゲートに接続された走査線 36 が選択されて活性化されると、トランジスタ 35 がオン状態となり、トランジスタ 35 に接続されたデータ線 37 から信号がコンデンサ 38 に
5 書き込まれる。コンデンサ 38 は、トランジスタ 41 のゲート・ソース間電圧を決定する。そして、走査線 36 が非選択となりトランジスタ 35 がオフ状態になると、コンデンサ 38 の両端間の電圧は次の周期に走査線 36 が選択されるまで保持され、この間トランジスタ 41 がオン状態となる。

トランジスタ 41 がオン状態になると、電源電極 39 から EL 素子 40、ト
10 ランジスタ 41 のドレイン・ソースを順に経て共通電極 42 という経路に沿って電流が流れ、この電流により有機 EL 素子 40 が発光する。

一般的な表示素子として、コンピュータの端末、パソコンのモニタ、テレビ等の動画表示を行うためには、各画素の輝度が変化する濃淡階調表示ができることが望ましい。有機 EL 素子に関して、画像に階調性を出すために従来から
15 とられてきた方式としては、アナログ階調方式、面積階調方式及び時間階調方式が挙げられる。

アナログ階調方式は、有機 EL 素子に流す電流量に応じて発光輝度を制御するものである。このとき電流を供給するスイッチング素子として薄膜トランジスタ（以下では「TFT」という）を用いる場合、ビデオ信号に応じた制御信
20 号をゲート電圧に入力し、ゲート電圧に対するソース電流の特性（ $V_g - I_s$ 特性）が立ち上がる領域（便宜上ここでは「飽和領域」と呼ぶ）を用いて、スイッチング素子のコンダクタンスを制御することになる。

この場合には、有機 EL 素子の輝度－電圧特性に応じて、ビデオ信号側のガンマ（ γ ）特性を変化させておく必要がある。

25 現在用いられている TFT には、アモルファスシリコン（a-Si）方式とポリシリコン（p-Si）方式とがあるが、高移動度でかつ素子の微細化が可

能であり、またレーザー加工技術の進歩により製造プロセスの低温化が可能となったことから、多結晶シリコンTFTが主流になりつつある。しかしながら、一般的に多結晶シリコンTFTは、それを構成する結晶粒界の影響を受けやすく、特に飽和領域では電気特性のばらつきが大きく現れる。このため、仮に画素に入力されるビデオ信号電圧が均一であっても、表示にむらが生じてしまうという問題を抱えている。

また一般に現在のTFTの多くはスイッチング素子として用いられており、トランジスタの閾値電圧よりかなり高いゲート電圧を印加し、ソース電圧に対するドレイン電流の関係が一定の比例関係となる線形領域で使用されているので、上記の飽和領域でのばらつきの影響を受けにくくなっているが、アナログ階調方式を採用するためにポリシリコンTFTを飽和領域で用いるとすれば、その特性のばらつきの影響により表示性能のばらつきが生ずることが懸念されている。

例えば、図8に示したTFT回路で有機EL素子40のアナログ階調表示を行なう場合、トランジスタ41のゲート・ソース電極間に印加される電圧は、トランジスタの閾値電圧(V_{th})をわずかに超える程度の電圧である。この時の $V_g - I_s$ 特性を図9に示すが、ゲート電圧が大きくなるにつれてソース電流が立ち上がる部分(すなわち飽和領域)の特性を利用する。しかし、トランジスタのゲート電圧・ソース電流特性($V_g - I_s$ 特性)に図9に示すようなばらつき(あるいはトランジスタの閾値電圧 V_{th} にばらつき)があると、例えば図8のトランジスタ41のゲート電極に一定のゲート電圧 V_A を印加した場合、トランジスタ41に流れる電流は I_A (実線で示す曲線と V_A との交点)と I_B (破線で示す曲線と V_A との交点)のように異なる。また有機EL素子40の発光特性も有機層の膜厚分布など、製造プロセス上の問題により、一定の電圧が印加されたときに与える発光輝度がばらつき、特に階調を与える輝度の場合顕著に影響される。すなわち、図8において点線43で囲んだ部分

は、これらのばらつき因子を与えやすい領域を示している。本来ならば同じ輝度であるはずの有機EL素子40に流れる電流が場所によって異なることになり、そのため輝度むら等の画質劣化が生じることになる。

一方、面積階調方式は、文献AM-LCD2000、AM3-1に提案されている。これは、一画素を複数のサブ画素に分割し、各サブ画素についてオン/オフを行い、オンしている画素の総面積によって階調を表現するものである。

このような利用方法ではTF Tをスイッチング素子として用いることになるので、ゲート電圧としては閾値電圧よりはるかに高い電圧を印加し、ソース電圧に対するドレイン電圧の関係が一定となる領域（すなわち線形領域）で用い
10 いればよく、したがってTF T特性にばらつきを生ずることがないため上記発光特性も安定する。しかしこの方式では表示面積に分割方法に依存したデジタル階調しか出せず、また階調数を増やすためにはサブ画素の面積をより小さくしてサブ画素の数を増やさなくてはならない。しかしながら、仮に多結晶シリコンTF Tを用いてトランジスタを微細化したとしても、各画素に配置された
15 トランジスタ部分の面積が発光部の面積を侵食し、画素開口率を下げるために表示パネルの発光輝度を下げる結果となる。すなわち、開口率と階調性がトレードオフの関係にあり、結果的に階調性を上げることが困難である。また、所望の輝度を得るためには有機EL素子への駆動電流密度を上げねばならず、これが素子の駆動電圧の上昇をもたらすため、素子の寿命低下を招くといった欠
20 点がある。

また、時間階調方式は、階調を有機EL素子の点灯時間によって制御する方式であり、例えばSID2000DIGEST36.1(P. 912~915)で報告されている。しかしながら、TF T特性のばらつきを少なくするためには、上記面積階調方式と同様にTF Tを線形領域で動作させる必要があり、や
25 はり駆動回路の電源電圧や消費電力が上昇するという問題がある。

また、時間階調方式は、ディスプレイを駆動する上でシステムのにも複雑に

なる。現在、表示素子について最も一般的な映像信号は、3原色RGBの輝度信号がアナログ信号で出力されている。ビデオ信号においては、コンポジット信号やY/C信号から、上記RGB輝度信号にデコードされた信号を作り出している。このアナログ信号を時間振幅信号であるPWM信号に変化する必要があるが、そのためには、図10に示すように、ADコンバータ、画像メモリ、PWM信号変換回路、及びこれらを制御するMPUが必要となる。

更に、時間階調方式では、マトリクス配線を持つ素子に対して極めて短い時間のパルス電圧を印加することになり、表示パネル内のマトリクス配線の電気抵抗を下げる必要がある。よって配線の材質をより低抵抗な材料にしたり、あるいは配線の厚みを大きくするなどの設計上の配慮が必要とされる。

また、アナログ階調方式ならば、図11に示すように、RGBアナログ信号をディスプレイ上の表示素子に合わせた輝度信号レベルに変化するための信号アンプ回路があれば良いのに対して、時間階調方式は駆動システムが上記のように複雑になるため、全体の消費電流や素子の製造コストの上昇を招くことになる。このように、時間階調方式は、ディスプレイそのものの性能はもちろん、システム的にも課題が多い。

しかしながら、アナログ階調方式を採用しようとしても、現状のTFT技術では、上記に述べたように、個別トランジスタの閾値電圧(V_{th})のばらつきが大きく、出力電流にばらつきが生じ、結果として発光輝度のばらつきを生じることになる。

ここで上記閾値電圧のばらつきについて以下に述べる。

図8から明らかなように、EL素子を駆動するTFTは、回路的にはソースフォロア回路を構成している。ソースフォロア回路においては、TFTのドレインが電源V_{dd}に接続され、ゲートが入力端となり、ソースが出力端となる。すなわち、TFTのソースとV_{ss}(GND)の間にEL素子が配され、これに電流が流れることになる。このとき、ソース端電圧をV_{out}、ゲート入力

電圧を V_{in} とすると、

$$V_{out} = V_{in} - V_{os}$$

となる。ここで V_{os} は、ゲート・ソース間に発生するオフセット電圧である。

一般に V_{os} は、ソース端に流れる電流を I_{out} とすると、

5
$$V_{os} = V_{th} + \sqrt{I_{out} / \beta}$$

$$\beta = (1/2) \times \mu \times C_{ox} \times (W/L)$$

で表される。ここで μ は移動度、 C_{ox} 、 W 、 L は、それぞれTFTのゲート酸化膜容量、ゲート幅、ゲート長である。

上式から明らかなように、TFTで構成されたソースフォロア回路では、各
10 個別TFTはそれぞれ固有のオフセット電圧 V_{os} を持ち、これがトランジスタの閾値電圧 V_{th} がばらつく要因になっている。よってTFTを用いてアナログ方式で有機EL素子を駆動する上では、上記オフセット電圧の影響を除外して安定な出力特性を得ることが望まれている。

15 発明の開示

本発明は、上記の課題に鑑みて創案されたものであり、その目的は、多結晶シリコンを用いたTFTのように、特性に大きなばらつきのあるTFTを用いた場合でも、発光素子に与える信号ばらつきをキャンセルすることができ、発光素子の高速応答化を図ることが可能なアクティブマトリクス型発光素子の
20 駆動回路を提供し、さらにこれを用いたアクティブマトリクス型表示パネルを提供することにある。

本発明は、基板上に走査線と信号線がマトリクス状に形成され、かつ、該走査線と該信号線が交差する近傍に、ソース電極、ゲート電極及びドレイン電極を有する複数の薄膜トランジスタと発光素子とが形成された単位画素が形成
25 されたアクティブマトリクス型発光素子の駆動回路において、

走査線と接続されたゲート電極、信号線と接続されたソース電極、及びドレ

イン電極からなる第1の薄膜トランジスタを含み、該ドレイン電極がメモリ容量を介して第2の薄膜トランジスタのゲート電極に接続された第1の回路部と、

一方の電極が第1の電源に接続された発光素子と、ソース電極が第2の電源
5 に接続されドレイン電極と前記発光素子が直列に配置された第2の薄膜トランジスタとを含む第2の回路部と、

参照電源に接続されたソース電極と前記第2の薄膜トランジスタのゲート電極に接続されたドレイン電極を有する第3の薄膜トランジスタを含む第3の回路部と、

10 前記第1及び第2の薄膜トランジスタのドレイン電極間が共通接続された回路から成ることを特徴とするアクティブマトリクス型発光素子の駆動回路である。

典型的には、前記参照電源の電圧は、前記第2の薄膜トランジスタの閾値電圧より高く、前記発光素子の発光閾値電圧より低い。

15 また本発明の別の態様では、上記回路構成に、接地電位に接続されたドレイン電極と、前記発光素子の入力端子に共通接続されたソース電極を持つ第4の薄膜トランジスタから成る回路部が追加される。

この場合は、前記第4の薄膜トランジスタをオンすることによって前記発光素子の発光状態を強制的に停止させ、特に1フィールド期間内で発光を終了させる機能を持たせることができる。
20

また本発明は、マトリクス状に配置された複数の画素部を備え、該複数の画素部にそれぞれ上記駆動回路と発光素子が配置されていることを特徴とするアクティブマトリクス型表示素子に関するものでもある。

25 図面の簡単な説明

図1は、本発明の実施例1におけるアクティブマトリクス型発光素子の駆動

回路の構成を示す。第1のTFT(M1)とメモリ容量から成る第1の回路部、第2のTFT(M2)と発光素子から成る第2の回路部、および第3のTFT(M3)と参照電源からなる第3の回路部から構成される。

図2は、本発明の実施例1における駆動回路のタイミングチャートである。

5 図3は、本発明の実施例2におけるアクティブマトリクス型発光素子の駆動回路の構成を示す。上記図1の回路に第4のTFT(M4)と電源を追加した回路を示す。

図4は、本発明の実施例2における駆動回路のタイミングチャートである。

図5は、本発明の実施例3におけるアクティブマトリクス型発光素子の駆動回路の構成を示す。

図6は、本発明の実施例3における駆動回路のタイミングチャートである。

図7は、本発明の実施例4におけるアクティブマトリクス型表示パネルの回路構成を示す。

図8は、従来のアクティブマトリクス型発光素子駆動回路の構成を示す。

15 図9は、トランジスタのゲート電圧-ソース電流特性(I_d-I_s 特性)を示す説明図である。ここでは閾値 V_{th} が同じであるが、電流特性が異なる例を示している。

図10は、従来のPWM駆動システムを示す。

図11は、従来のアナログ駆動システムを示す。

20

発明の実施の形態

以下、本発明の実施の形態を具体的な実施例により説明するが、本発明はこれらの実施例に限るものではない。

実施例1

25 図1は本発明に係るアクティブマトリクス型発光素子の駆動回路における第1の実施例を示す構成図であり、図2は第1の実施例の駆動回路における駆

動タイミングチャートを示す説明図である。ここで、M1、M2、M3はNch-TFT、C1はメモリ容量、 ϕ_r は制御パルス信号、 ϕ_g は走査線信号、Vdataは発光素子を駆動する映像信号である。

本実施例の駆動回路は、基板上に走査線5と信号線9がマトリクス状に形成され、これら走査線と信号線が交差する近傍にそれぞれ複数のTFT (M1、M2、M3) と発光素子1を有する単位画素が形成されたアクティブマトリクス型発光素子の駆動回路である。

本実施例では、発光素子1として有機EL素子を採用しており、この有機EL素子1の一方の電極は第1の電源6に接続されている。第1のTFT (M1) はドレイン電極がメモリ容量C1の一方の電極と接続しており、同時に第2のTFT (M2) のドレイン電極及び発光素子1の他方の電極とに接続している。

また、第2のTFT (M2) はソース電極が第2の電源7に接続され、ゲート電極22がメモリ容量C1の他方の電極および第3のTFT (M3) のドレイン電極に接続されている。この第3のTFT (M3) は、ソース電極が参照電源8に接続され、ゲート電極33が制御信号線4に接続されている。そして、第1のTFT (M1) は、ソース電極が映像データ信号線9に接続され、ゲート電極11が走査線5に接続されている。

図2における第1のタイミングにおいて、TFT (M3) をオンし、ソースフォロア回路を構成するTFT (M2) のゲート電極22に参照電圧Vrefを印加する。参照電圧Vrefの値は、TFT (M2) の閾値電圧より高い値に設定されているために、このタイミングでTFT (M2) がオンする。

その結果、ソースフォロア出力Vout、すなわち、発光素子1の一方の電極には、TFT (M3) による電位降下を無視すると、参照電圧VrefからTFT (M2) のオフセット電圧Vosを差し引いた電圧、つまり

$$V_{out} = V_{ref} - V_{os}$$

の電圧が発生する。このときメモリ容量C1の両端には、VrefとVout

の差分である

$$V_{ref} - V_{out} = V_{os}$$

の電圧が発生することになる。

- 参照電圧 V_{ref} について更に言えば、上式 V_{out} 値が発光素子の発光閾
5 値以下になるように設定すれば、このときに発光しない。

- 次のタイミングにおいて、TFT (M3) をオフし、TFT (M1) をオン
することにより、メモリ容量 C1 の一方の電極に映像データ信号 V_{data} を
転送する。その結果、TFT (M2) のゲートにつながるメモリ容量 C1 の一
方の端子が電氣的にフローティングであるため、TFT (M2) のゲート電圧
10 $V_g(M2)$ には、 V_{data} とその前のステップで誘起された電圧 V_{os} の
和である $V_{data} + V_{os}$ の電圧が発生する。このとき発光素子 1 の一方の
電極には、ソースフォロア出力

$$V_{out} = V_{data} + V_{os} - V_{os} = V_{data}$$

の電圧が発生する。

- 15 このように、発光素子 1 には、前記 TFT (M2) のオフセット電圧がかか
らなくなっており、オフセット電圧のキャンセルができる。

また、本実施例における参照電圧 V_{ref} は、先述したように $V_{ref} - V_{os}$ が発光素子の発光閾値以下になるように設定される。このように電圧値を設定した場合、以下に示すような効果がある。

- 20 現在、長寿命化や低消費電力化の観点から発光効率を上げるための研究開発
が盛んに行われているが、有機 EL 素子の最大効率を得るための駆動電流値は、
現状では $100 \mu m \times 100 \mu m$ の画素サイズに対して $2 \sim 3 \mu A$ 程度であ
る。有機 EL 素子の接合容量はおよそ $25 nF / cm^2$ であり、 $100 \mu m \times 1$
 $00 \mu m$ の画素は約 $2.5 pF$ の容量を持つことになる。

- 25 アナログ階調方式で 8 ビット階調を得ようとする、最小電流は

$$2 \sim 3 \mu A \div 2^8 = 8 \sim 12 nA$$

となる。

一般に有機発光素子の閾値電圧は2～3Vであり、8ビット階調を得るための最小電流で発光させるには、まず素子の接合容量を充電後に発光するわけであるから、その充電時間を見積もると、

$$5 \quad \text{接合容量 } C \times \text{発光閾値電圧 } V_t = \text{最小電流 } I_{\min} \times \text{時間 } t$$

より、

$$\text{時間 } t = 2.5 \text{ pF} \times 2 \sim 3 \text{ V} / 8 \sim 12 \text{ nA}$$

$$\approx 420 \mu\text{s} \sim 940 \mu\text{s}$$

10 となってしまう。接合容量を充電するだけでこれだけの時間を必要とするということは、VGAクラスの画素サイズの画像表示装置においても動画の表示ができないことを意味する。

図1においては、TFT(M3)がONした時に、上記Vrefの電圧がTFT(M2)のゲート電極側に印加され、有機EL素子の端子にはVref-Vosの電圧が印加されている。よって、有機EL素子の発光閾値電圧をVt
15 とすると、その差分の電圧であるVt-Voutの電圧を充電すればよいことになる。

すなわち本回路構成では、TFT(M2)のゲート電圧のプリチャージのみならず、発光素子の接合容量のプリチャージをも同時に行うことができる。

具体的に計算例を示すと、接合容量をC、発光に必要な電流をI、参照電圧
20 をVrefとすると、発光までに要する時間tは、以下のように示される。

$$\begin{aligned} t &= (V_t - V_{\text{out}}) \times C / I \\ &= (V_t - V_{\text{ref}} + V_{\text{os}}) \times C / I \end{aligned}$$

ここで、前述したように、発光電流が100nAの場合を想定する。Vt-Voutは0.5V、容量Cは2.5pFとすると、発光までに要する時間tは、

$$25 \quad t = 0.5 \times 2.5 \text{ pF} / 100 \text{ nA} = 12.5 \mu\text{s}$$

となる。

この値であれば、VGA規格の素子に必要な最小時間 $30\mu s$ を実現することが可能となる。

以上説明したように、本発明によれば、TFT特性のばらつきにより発生するオフセット電圧をキャンセルできるばかりか、接合容量をあらかじめプリチャージする機能も合わせもち、接合容量の充電時間をなくして発光素子が発光するまでの時間を短縮することができる。

実施例 2

図3は本発明に係るアクティブマトリクス型発光素子の駆動回路における第2の実施例を示す構成図であり、図4はその駆動方法を説明するためのタイミングチャートである。

本実施例の駆動回路は、基板上に走査線5と信号線9がマトリクス状に形成され、これら走査線と信号線が交差する近傍にそれぞれ複数のTFT(M1、M2、M3、M4)と発光素子1を有する単位画素が形成されたアクティブマトリクス型発光素子の駆動回路である。

本実施例でも、発光素子1として有機EL発光素子を採用しており、この発光素子1の一方の電極は第1の電源6に接続されている。第1のTFT(M1)のドレイン電極はメモリ容量C1の一方の電極と接続され、これはまた第2のTFT(M2)のドレイン電極及び第4のTFT(M4)のドレイン電極にさらに発光素子1の他方の電極に同時に接続された回路構成をとっている。

また第2のTFT(M2)は、ソース電極が第2の電源7に接続され、ゲート電極22がメモリ容量C1の他方の電極及び第3のTFT(M3)のドレイン電極と接続され、ドレイン電極は発光素子の上記他方の電極及びメモリ容量の上記一方の電極に接続されている。

さらに、第3のTFT(M3)は、ソース電極が参照電源8に接続され、ゲート電極33が第1の制御信号線4に接続されている。そして、第1のTFT(M1)は、ソース電極が映像データ信号線9に接続され、ゲート電極11が

走査線5に接続されている。加えて、第4のTFT(M4)は、ソース電極が第2の参照電源(基準電源)10(この場合接地電位GND)に接続され、ゲート電極44が第2の制御信号線14に接続されている。

本実施例におけるオフセットキャンセルに対する基本的な考え方は、第1の実施例と同じである。即ち本実施例では、メモリ容量C1の一方の電極及び発光素子1の一方の電極にソース電極が接続されたTFT(M4)を追加している。TFT(M4)のソース電極は第2の参照電源(基準電源)10としてのGNDに接続されている。ここで、TFT(M4)のオン動作は、プリチャージ(TFT(M3)のオン)タイミング前に行われる。仮に第2の参照電源(基準電源)が接地電位にあるとき、TFT(M4)がオンすると、メモリ容量C1が接地されて電荷を放電し、新たに次の信号電圧Vdataを転送する前に発光素子の両端の電位差をゼロにして、発光を完全に停止することができる。発光素子としてEL素子を用いた場合、このように発光前に一度発光素子両端の電位差をリセットすることは、素子の電氣的状態を緩和し、素子の発光寿命を延ばす上で効果がある。

ただし、発光素子の発光を止めるためには、発光素子の発光閾値電圧以下の電圧でリセットすればよい。本実施例では、リセット電圧として、GND電位を用いたが、この効果を実践するためにはこの電圧に限定されるものではなく、発光素子の閾値電圧以下のある一定の電圧であればよい。例えばリセット電圧を素子の発光閾値電圧に近い電圧にセットしておくと、素子の接合容量を充電することができるために、プリチャージの効果をもたせることができる。

また、上記2つの実施例では、構成するTFTをすべてNch-TFTとしたが、Pch-TFTで構成しても同様の効果が得られることは言うまでもない。この場合、TFTの制御電極駆動タイミング信号の論理が反転される。

25 実施例3

図5は本発明に係るアクティブマトリクス型発光素子の駆動回路における

第3の実施例を示す構成図であり、図6はその駆動方法を説明するためのタイミングである。

本実施例の構成は、基本的には第1の実施例と同じであるが、ソースフォロアを構成するTFT(M2)と他のTFT(M1、M3)の極性を変えている
5 ことが特徴である。そのため、プリチャージ用の制御信号 ϕ_r 、走査線信号 ϕ_g の極性が図2とは逆になっている。本実施例では、TFT(M2)が正論理で動作するのに対し、TFT(M1、M3)は、負論理で動作する。

即ちM1、M3は、M2のローレベルでオンするので、正論理用の信号であるVref、Vdataを確実に転送することができるようになる。これによ
10 り、Vref、Vdata転送の際、それぞれのゲート電圧振幅は小さくなり、素子の規模も図1に示した駆動回路の構成に比べて小さくできる。そのため、回路全体の消費電力も小さくできるメリットが生じる。

実施例4

図7は、本発明に係るアクティブマトリクス型表示パネルの一実施例を示す
15 構成図であり、第1の実施例の駆動回路をマトリクス状に配列した表示パネルである。本実施例の表示パネルは、第1の実施例における駆動回路をそれぞれ含み、かつマトリクス状に配置された複数の画素部を備え、これら複数の画素部にそれぞれ発光素子1が配置されている。図7では、簡略化するために2×2のマトリクス回路を示したが、行列数に制限がないのは明らかである。

20 図7において、 ϕ_g (ϕ_{g1} , ϕ_{g2} , ...)は、垂直シフトレジスタなどで構成された走査回路(図示せず)の出力により、少なくとも1行ずつ順次選択される。各行の選択時に、対応する各画素の表示輝度に応じた映像データ信号Vdata(Vdata1、Vdata2、...)が信号線より転送される。この信号レベルにより、先述した画素回路の駆動メカニズムにより、発光素子で
25 ある有機EL発光素子に電流が流れ発光する。

制御パルス信号 ϕ_r 及び参照電圧Vrefは、各画素共通に接続され、全画

素一度に動作する。制御パルス信号 ϕ_r は、各行毎に独立に制御しても良く、この場合は、 ϕ_r 制御用に別個行選択をするための出力回路が必要になる。

このように構成したマトリクス表示装置は、TFTの閾値電圧 V_t のばらつきに影響されることなく、均一な表示が可能である。また、時間階調表示方式
5 ではなく、アナログ階調表示方式であるため、PWM変調回路などが不要で、駆動システムの構成が簡単で済む。更には、従来のアナログ方式の駆動方法であるために駆動システムも簡略化でき、この面でもコスト上有利である。

また、時間階調方式では1フィールド時間内を数分割するために、短い時間内に点灯制御することが必要になる。このため、マトリクス配線の電気抵抗が
10 高いと駆動波形に時間遅延が生じることから、その電気抵抗を限りなく小さくすることが求められる。しかし本方式の回路を採用することにより、配線抵抗を極端に小さくする必要もないことから、配線材料の選択が容易となり、またその厚みを大きくする必要がないので、パネルを製造する上でコストアップも少なく、製造上も有利である。したがってコスト、消費電力ともに、従来に比
15 べて改善することが可能である。

また、参照電圧 V_{ref} を前述の通り、発光素子の発光閾値以下に設定することで、発光素子の接合容量を事前にプリチャージすることが可能となり、特に低電流発光領域での発光素子の応答速度が大幅に改善できる。さらに、第2及び第3の実施例の駆動回路をマトリクス状に配列した表示パネルについて
20 も、ここでは図示しないが、上述と同様の作用・効果が得られる。

なお、以上の実施例では、発光素子として主に有機EL素子について述べたが、本発明は有機EL素子に限定されるものではなく、無機EL素子やLED等のような他の発光素子を用いる場合でも有効なことは言うまでもない。またTFTの極性についても、以上の実施例に記載された極性に限定されないこと
25 は明らかである。またTFTの構成材料はシリコン等の無機半導体に限らず、最近の有機半導体を用いた構成であってもよい。

- 以上説明したように、本発明のTFT回路構成を用いることにより、従来の多結晶シリコンを用いたTFTのように、その特性に大きなばらつきを持った薄膜トランジスタを用いた場合でも、発光素子に与える信号ばらつきを基本的にキャンセルでき、かつプリチャージ用の信号により発光素子に存在する接合
- 5 容量をもプリチャージすることができるので、発光素子の応答速度を高速化することが可能となる。

請 求 の 範 囲

1. 基板上に走査線と信号線がマトリクス状に形成され、かつ、該走査線と該信号線が交差する近傍に、ソース電極、ゲート電極及びドレイン電極を有する複数の薄膜トランジスタと発光素子とを有する単位画素が形成されたアクティブマトリクス型発光素子の駆動回路において、

走査線と接続されたゲート電極、信号線と接続されたソース電極、及びドレイン電極からなる第1の薄膜トランジスタ(M1)を含み、該ドレイン電極がメモリ容量(C1)を介して第2の薄膜トランジスタ(M2)のゲート電極に接続された第1の回路部と、

一方の電極が第1の電源に接続された発光素子と、ソース電極が第2の電源に接続されドレイン電極が前記発光素子の他方の電極に接続された第2の薄膜トランジスタとを含み、かくして該発光素子と該第2の薄膜トランジスタが直列に配置された第2の回路部と、

参照電源に接続されたソース電極と前記第2の薄膜トランジスタのゲート電極に接続されたドレイン電極とを有する第3の薄膜トランジスタ(M3)を含む第3の回路部と

前記第1及び第2の薄膜トランジスタのドレイン電極間が共通接続された回路から成ることを特徴とするアクティブマトリクス型発光素子の駆動回路。

2. 前記参照電源の電圧は、前記第2の薄膜トランジスタの閾値電圧よりも高いことを特徴とする、請求項1に記載のアクティブマトリクス型発光素子の駆動回路。

3. 前記参照電源の電圧は、前記発光素子の発光閾値電圧より低いことを特徴とする、請求項1に記載のアクティブマトリクス型発光素子の駆動回路。

4. 基準電源に接続されたドレイン電極と前記発光素子の他方の電極に共通接続されたソース電極とを有する第4の薄膜トランジスタ(M4)を含む回路部をさらに含む請求項1に記載のアクティブマトリクス型発光素子の駆動回路。

5

5. 前記参照電源の電圧は、前記第2の薄膜トランジスタの閾値電圧よりも高いことを特徴とする、請求項4に記載のアクティブマトリクス型発光素子の駆動回路。

10

6. 前記基準電源の電圧は、前記発光素子の発光閾値電圧より低いことを特徴とする、請求項4に記載のアクティブマトリクス型発光素子の駆動回路。

7. 前記基準電源の電圧は、接地電位であることを特徴とする、請求項4に記載のアクティブマトリクス型発光素子の駆動回路。

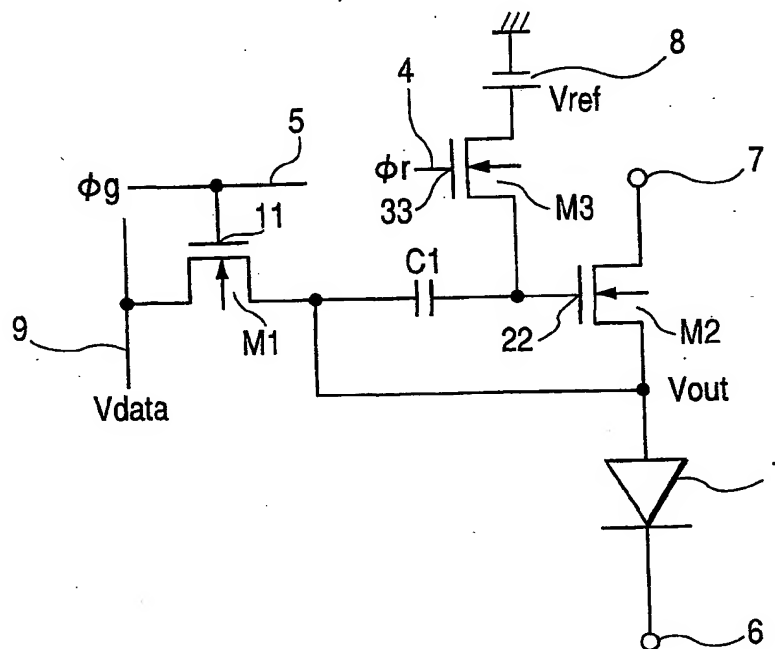
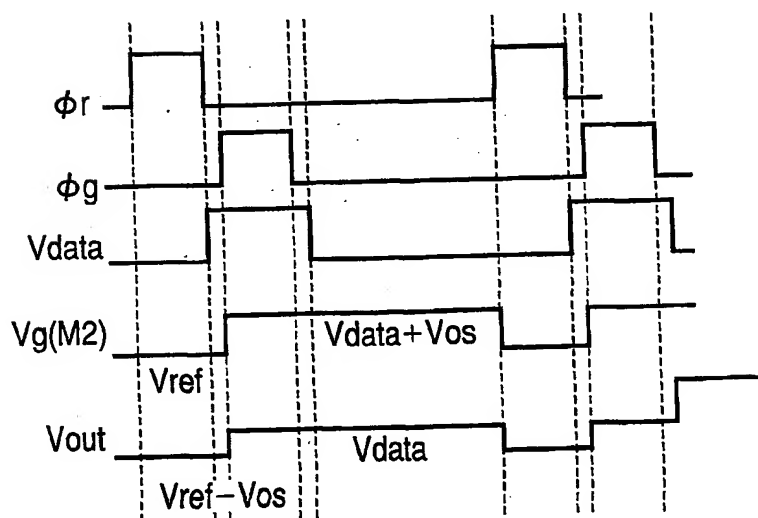
15

8. 前記第4の薄膜トランジスタをオンすることによって前記発光素子の発光状態を停止する機能を持つことを特徴とする、請求項4に記載のアクティブマトリクス型発光素子の駆動回路。

20

9. マトリクス状に配置された複数の画素部を備え、該複数の画素部にそれぞれ請求項1に記載の駆動回路と発光素子が配置されていることを特徴とするアクティブマトリクス型表示素子。

1/6

FIG. 1**FIG. 2**

2/6

FIG. 3

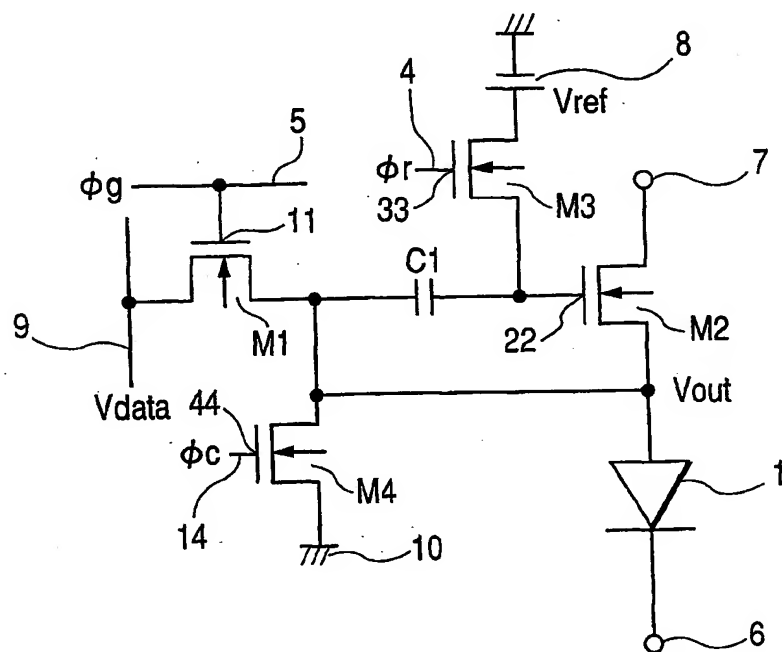
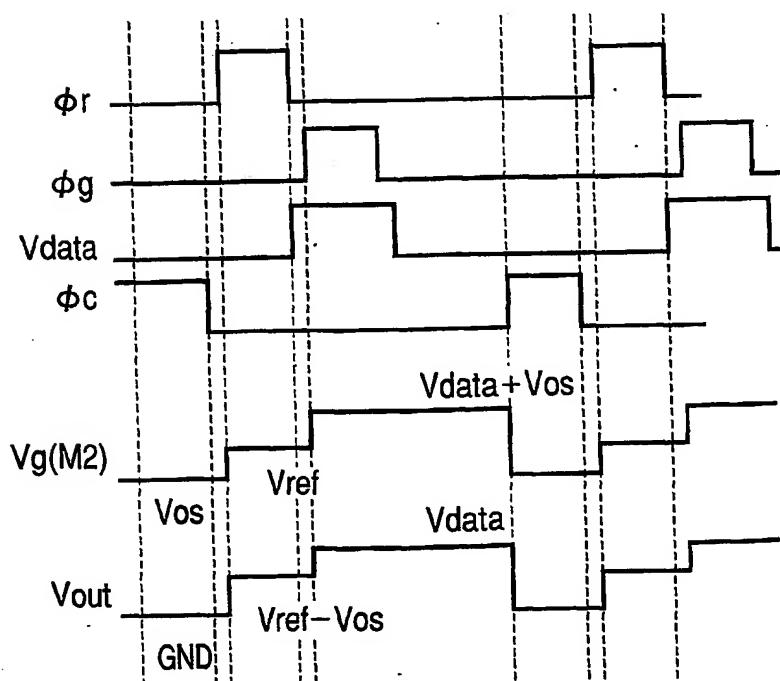
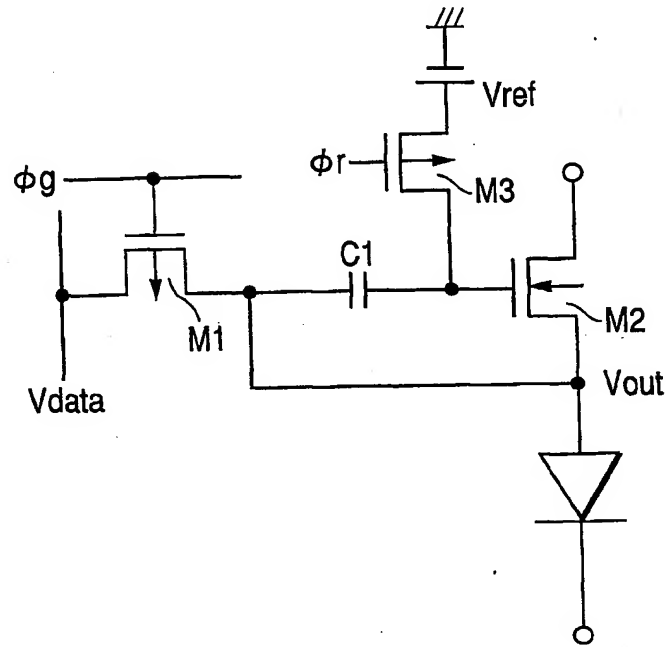
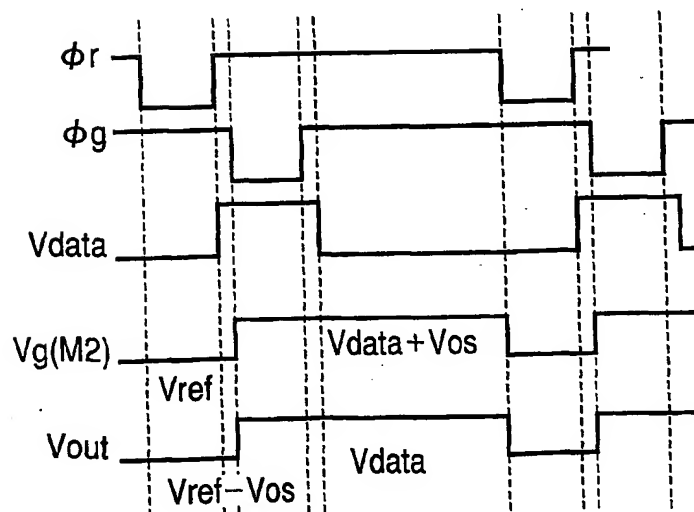


FIG. 4



3/6

FIG. 5**FIG. 6**

5/6

FIG. 9

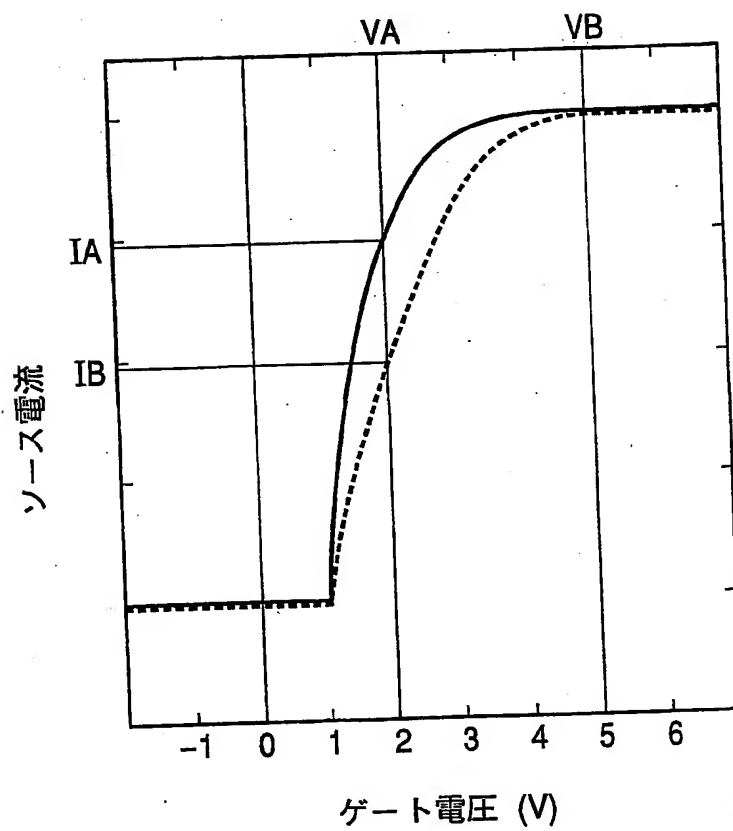
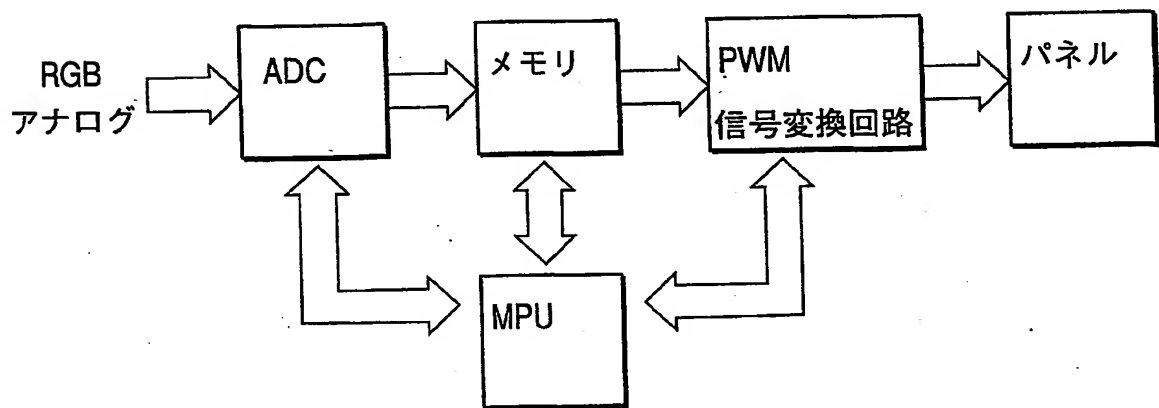
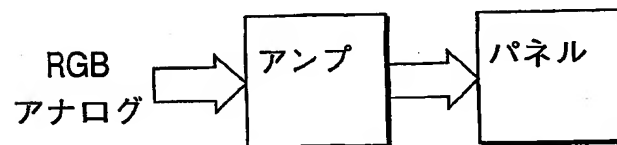


FIG. 10**FIG. 11**

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/02470

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G09G3/30

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G09G3/00-3/38, H05B33/00-33/28, H01L33/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Toroku Jitsuyo Shinan Koho	1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 98/48403 A1 (Sarnoff Corp.), 29 October, 1998 (29.10.98), Full text; all drawings Full text; all drawings & US 6229506 B1	1-2, 4-5, 7-9 3, 6
Y	JP 3-139908 A (Olympus Optical Co., Ltd.), 14 June, 1991 (14.06.91), Full text; all drawings (Family: none)	1-2, 4-5, 7-9
Y	JP 2001-60076 A (Sony Corp.), 06 March, 2001 (06.03.01), Full text; all drawings (Family: none)	4-5, 7-8
A	WO 01/06484 A1 (Sony Corp.), 25 January, 2001 (25.01.01), Full text; all drawings & EP 1130565 A1	1-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search.
08 April, 2002 (08.04.02)

Date of mailing of the international search report
23 April, 2002 (23.04.02)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/02470

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-244590 A (Toshiba Corp.), 19 September, 1997 (19.09.97), Full text; all drawings (Family: none)	1
A	JP 59-154808 A (Hitachi, Ltd.), 03 September, 1984 (03.09.84), Full text; all drawings (Family: none)	1
A	JP 2000-347621 A (NEC Corp.), 15 December, 2000 (15.12.00), Full text; all drawings (Family: none)	4-5, 7-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl¹ G09G 3/30

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl¹ G09G 3/00-3/38
H05B 33/00-33/28
H01L 33/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
日本国公開実用新案公報 1971-2002年
日本国実用新案登録公報 1996-2002年
日本国登録実用新案公報 1994-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	WO 98/48403 A1 (SARNOFF CORPORATION) 1998. 10. 29 全文, 全図 全文, 全図 & US 6229506 B1	1-2, 4-5, 7-9 3, 6
Y	JP 3-139908 A (オリンパス光学工業) 1991. 06. 14, 全文, 全図 (ファミリーなし)	1-2, 4-5, 7-9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

08. 04. 02

国際調査報告の発送日

23.04.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

西島 篤宏

2G

9308

電話番号 03-3581-1101 内線 6490

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-60076 A (ソニー株式会社) 2001. 03. 06, 全文, 全図 (ファミリーなし)	4-5, 7-8
A	WO 01/06484 A1 (Sony Corporation) 2001. 01. 25, 全文, 全図 & EP 1130565 A1	1-9
A	JP 9-244590 A (株式会社東芝) 1997. 09. 19, 全文, 全図 (ファミリーなし)	1
A	JP 59-154808 A (株式会社日立製作所) 1984. 09. 03, 全文, 全図 (ファミリーなし)	1
A	JP 2000-347621 A (日本電気株式会社) 2000. 12. 15, 全文, 全図 (ファミリーなし)	4-5, 7-8